

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-90438

(43)公開日 平成5年(1993)4月9日

(51)Int.Cl.⁵

H 0 1 L 23/12
23/14

識別記号

庁内整理番号

F I

技術表示箇所

7352-4M
7352-4M

H 0 1 L 23/ 12
23/ 14

L
X

審査請求 未請求 請求項の数1(全 4 頁)

(21)出願番号 特願平3-85863

(22)出願日 平成3年(1991)3月27日

(71)出願人 000001122

国際電気株式会社

東京都港区虎ノ門2丁目3番13号

(71)出願人 000166650

五洋電子工業株式会社

秋田県南秋田郡天王町天王字長沼64番地

(72)発明者 須藤 徹

秋田県南秋田郡天王町天王字長沼64 五洋
電子工業株式会社内

(72)発明者 高野 三樹男

東京都西多摩郡羽村町神明台2-1-1
国際電気株式会社羽村工場内

(74)代理人 弁理士 大塚 学 (外1名)

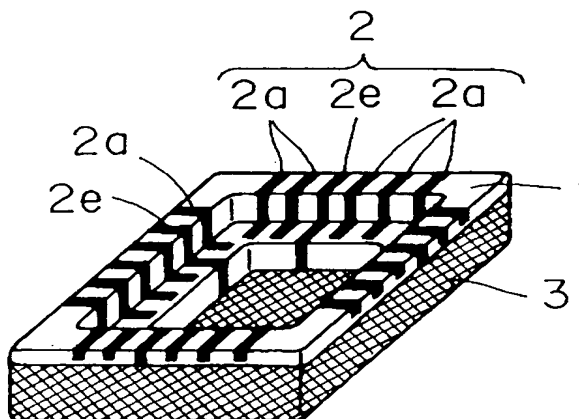
(54)【発明の名称】 シールド付リードレスパッケージ

(57)【要約】

【目的】 半導体ベアチップを收容して面実装するためのリードレスパッケージに電磁シールド機能をもたせ、かつ、経済的なドリップコート法による保護モールドによっても自動機械により面実装することのできるパッケージを提供する。

【構成】 絶縁成形材料により成形された有底無蓋の箱形パッケージの、半導体ベアチップを收容する凹部の内部に段差を設け、パッケージの外側表面の底面の全面と全側面の上縁部分までの全面にシールド導体を付着させるとともに、開口部頂面から内部段差の上面まで連続して並行する複数の配線導体を付着させその1つをシールド導体と接続させたことを特徴とする。

【効果】 上記パッケージの凹部に半導体チップを実装してドリップモールドした後、上下を逆さにして回路基板に面実装することにより十分なシールド効果が得られる。



【特許請求の範囲】

【請求項 1】 絶縁成形材料により有底無蓋の箱形で内部に半導体チップを収容するための容積を有し縦断面形状が内部段付き凹形状に成形されたパッケージ本体の表面に、該パッケージ本体の外側の表面のうち底面の全面と該底面に連続して外側壁面の上縁部分まで付着された電磁シールドのためのシールド導体と、前記パッケージ本体の上部開口面の周囲の頂面から外側壁面の上縁部までと内壁面を経て前記内部段付き部分の上面までとにわたって連続して付着された並行する複数の配線導体とが配置され、該複数の配線導体のうち少なくとも 1 つは接地配線導体として前記シールド導体と接続しているように構成されたシールド付リードレスパッケージ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、裸あるいは最小限の表面保護処理（パッシベーション）が施された半導体チップ（ベアチップ）を実装するためのリードレスパッケージに関するものである。

【0002】

【従来の技術】半導体チップの実装用パッケージのうち最近最も広く用いられているのはプラスチックパッケージとセラミックパッケージであり、特に面実装（サーフェスマウント）用としてのプラスチックリードレスチップキャリア（PLCC: Plastic Leadless Chip Carrier）やセラミックチップキャリアが多く用いられている。図 5 はその 1 例を示す PLCC の斜視図である。（A）図はリードフレームに半導体チップを搭載しトランスファーモールド法により成型した四辺形平坦パッケージ（Quad Flat Package）であり、51 はプラスチックパッケージ、52 は端子である。（B）図はプリント基板 53 に半導体チップを搭載した後ディスペンサによるドリップコート法でプラスチック 54 を形成したパッケージであり、周縁部に半円スルーホールによる端子電極 55 が設けられている。

【0003】これらのプラスチックモールドされた半導体 IC は上下そのままの状態で行路配線基板に面実装される。

【0004】

【発明が解決しようとする課題】しかしながら、このような従来のパッケージに実装された半導体 IC を小型無線通信機器に用いる場合、半導体の保護がエポキシ等のプラスチック（合成樹脂）のためロジックノイズ等が電磁結合して回路の誤動作を引き起こす。このような誤動作を防止するため上述のパッケージの上から金属ケースを被せて電磁シールドが設けられている。従ってそのシールドケースの取付スペースと接地導体配線が必要となり部品実装密度が低下するばかりでなく、部品取付け高さが高くなり作業コストもかかるという問題がある。ま

た、図 5（B）の場合は上面が樹脂の表面張力のため平坦に仕上げることは難しく、自動機械で面実装する際の空気吸着搬送に適合しない。従って作業者が一つ一つ手作業によって基板への搭載を行うため時間がかかりコストダウンの障害となっている。

【0005】本発明はこのような問題点を解決することを課題とし、実装密度を低下させることなく電磁シールドされ、かつ、コストの安いシールド付リードレスパッケージを提供するものである。

【0006】

【課題を解決するための手段】本発明のシールド付リードレスパッケージは、プラスチックまたはセラミック等の絶縁成形材料によって有底無蓋の箱形で縦断面形状が半導体ベアチップを収容するため内部段付き凹形状に成型されたパッケージ本体の表面に、該パッケージ本体の外側の表面のうち底面の全面と側面の上縁部付近まで連続して付着された電磁シールドのためのシールド導体と、前記パッケージ本体の上部開口面の周囲頂面の少なくとも 1 辺に外側面の上縁部から前記頂面と内壁面を経て前記内部段付き部分の上面まで連続して付着された複数の配線導体とが配置され、該複数の配線導体のうち少なくとも 1 つは接地配線導体として前記シールド導体と接続するように構成されたことを特徴とするものである。

【0007】

【実施例】図 1 は本発明の一実施例を示す斜視図であり、図 2 はその縦断面図である。図において、1 はプラスチックで成形されたパッケージ本体であり、有底無蓋の箱形で断面形状は内部段付き凹形をなしている。2 は無電解めっきなどによって付着された配線導体であり、3 は同様にめっきされたシールド導体である。パッケージ本体 1 は、めっき必要部分（導体部分）と不必要部分があるため例えば液晶ポリマ（Liquid Crystalline Polymer: LCP）と呼ばれるプラスチックの 2 ショット射出成形によって形成する。図の実施例では半導体ベアチップを収容するための内底部に接地用のめっき導体 3b が設けられており、図 2 の右側に示すように配線導体 2a によって外側のシールド導体 3 と接続されている。内底部の接地用導体 3b は収容する半導体ベアチップによっては必要のない場合もある。回路接続用の配線導体 2a は図 2 の左側に示すようにパッケージ本体 1 の側面の上縁部から頂面、内側面、段付部上面まで連続して設けられている。そして段付部上面部分は、収容する半導体ベアチップの回路端子電極とワイヤボンディングにより接続するための端子電極となる。外側面のシールド導体 3 は配線導体 2a と僅かな間隙 4 を有するように設けられてシールド効果が高められている。配線導体 2 の数は収容される半導体ベアチップの端子電極数に対応し、試作例では各辺に 21 個設けられた。これらの導体は無電解めっき等により実施

される。

【0008】上述のようにして構成された本発明のパッケージは、後述する図4に示すように内部に半導体ベアチップを実装した後、上下を逆さにして回路基板9にフェースダウンの状態面で実装される。配線導体2aが外側の上端部までかかっているのは上述のフェースダウン面実装される時の配線接続およびその確認を確実にするためである。

【0009】図3は本発明のパッケージに半導体ベアチップが収容された状態を示す縦断面図である。図において、1、2a、2e、3は図1、図2の符号と同じである。5は半導体ベアチップを示し、6はワイヤボンディングの金またはアルミニウムなどの細線を示す。7及び8は半導体ベアチップ5及び細線6を保護するためのモールド樹脂である。図3(A)と(B)はこのモールド樹脂7と8のモールド方法の違いを示したものである。

(A)はドリップコート法によるモールドであり、表面仕上がりは平坦ではないが費用が安い。一方(B)はトランスファモールド法によるモールドであり、仕上がり上面は平坦になるがこのための金型が必要である。これらのモールド樹脂7又は8は、パッケージ本体1の上面より上へ盛り上がらないように形成され、全体をフェースダウン面実装するとき上面の配線導体2が回路基板に十分接触するように構成されている。パッケージ本体1の断面形状を内部段付凹形とした理由は2つある。その1つは、内部段付部の高さを半導体ベアチップ5の高さとほぼ等しくすることにより、ワイヤボンディング面がほぼ同一面となり、ボンディングがやり易くなるとともに細線6の長さが短くなるという利点があるためである。もう1つは、ドリップコート法によりモールドする際にドリップコート剤(モールド樹脂)7が周囲に流れるのを防止するためである。

【0010】以上の本発明の実施例では、パッケージ本体1としてプラスチック成形品を用いた例について説明したが、セラミック成形品を用いても同様の効果があることはいうまでもない。

【0011】図4は本発明のパッケージに実装された半導体IC10が回路基板9にフェースダウン面実装された状態を示す斜視図である。回路基板9側の取付面に全面接地導体を設ければ、電磁シールドがさらに完全になることはいうまでもない。但し、回路基板9の印刷配線や他の実装チップ部品は図示を省略した。

【0012】

【発明の効果】以上詳細に説明したように、本発明を実施することにより、電磁シールドされた半導体ICを提供することができるため、金属シールド板が不要となり、実装密度を高めるとともに部品点数の削減と作業コストの低減に極めて大きい効果がある。さらに、ドリップコート法を用いながら、フェースダウン面実装ができる構成のため、平坦な底面が部品吸着面となって自動搬送機械実装することが可能となりコスト低減に大きい効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例を示す斜視図である。

【図2】本発明の一実施例を示す断面図である。

【図3】本発明の一実施例を示す断面図である。

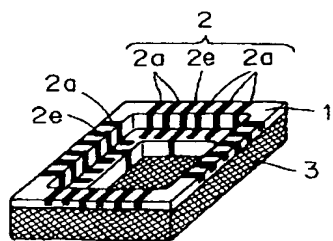
【図4】本発明の応用例を示す斜視図である。

【図5】従来の構造例を示す斜視図である。

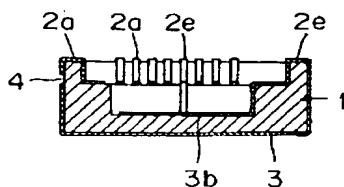
【符号の説明】

- 1 パッケージ本体
- 2 配線導体
- 3 シールド導体
- 4 間隙
- 5 半導体ベアチップ
- 6 細線
- 7、8 モールド樹脂
- 9 回路基板
- 10 半導体IC
- 51 プラスチックパッケージ
- 52 端子
- 53 プリント基板
- 54 プラスチック

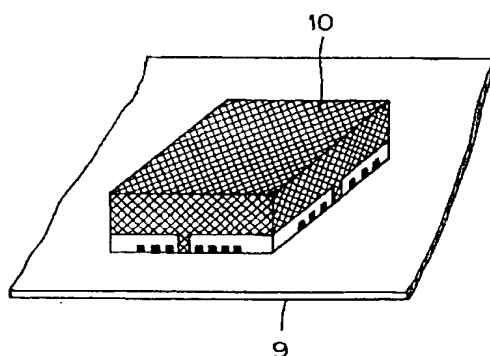
【図1】



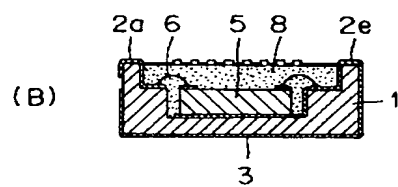
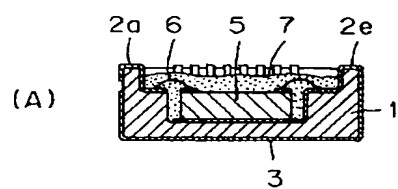
【図2】



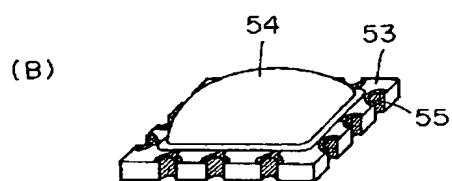
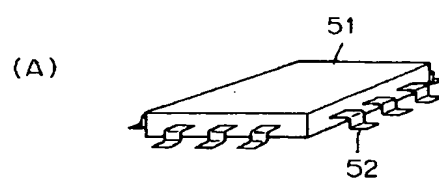
【図4】



【図3】



【図5】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-090438

(43)Date of publication of application : 09.04.1993

(51)Int.Cl.

H01L 23/12

H01L 23/14

(21)Application number : 03-085863

(71)Applicant : KOKUSAI ELECTRIC CO LTD
GOYO DENSHI KOGYO KK

(22)Date of filing : 27.03.1991

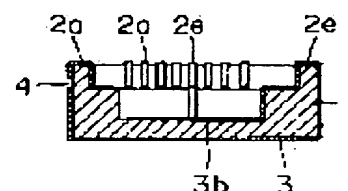
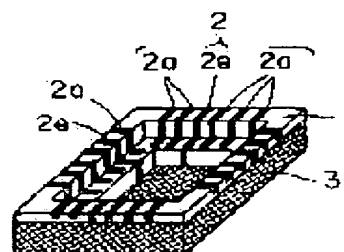
(72)Inventor : SUDO TORU
TAKANO MIKIO

(54) LEADLESS PACKAGE WITH SHIELD

(57)Abstract:

PURPOSE: To achieve electromagnetic shielding without causing a packaging density to be reduced and obtain a leadless package with a shield at a low cost by constituting a package main body with a bottom and without a lid which is a box type and where a vertical section shape is a recessed shape with an inner stage by using an insulation forming material.

CONSTITUTION: A package main body 1 with a bottom and without a lid which is a box type and where a vertical section shape forms a recessed shape with an inner stage is formed by plastic. Then, a plating conductor 3b for grounding is provided at an inner bottom part for housing a semiconductor pair chip and then the semiconductor 3b is connected to an outside shield conductor 3 by a wiring conductor 2e. Also, a wiring conductor 2a is continuously provided from an upper-edge part of a side surface to a top surface, an inside surface, and an upper surface of a part with a stage, where the upper part of the part with a stage is connected to a circuit terminal electrode of a semiconductor pair chip to be housed by wire bonding so that it becomes a terminal electrode. Then, after packaging the semiconductor pair chip within the inside, the upper and lower parts are inverted before being surface-mounted on a circuit board with the face downward.



LEGAL STATUS

[Date of request for examination] 23.02.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2977052

[Date of registration] 10.09.1999

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] On the front face of the package main part with which it has the capacity for holding a semiconductor chip in the interior by the enclosed type of closed-end **** by the insulating molding material, and the longitudinal-section configuration was fabricated in the shape of a concave with the internal stage the electromagnetism to which it adhered to the upper-limb portion of a paries-lateralis-orbitae side among the front faces of the outside of this package main part succeeding the whole surface at the bottom and this base -- the shield for a shield -- with a conductor A conductor is arranged. pass an internal surface with the top face around the up effective area of the aforementioned package main part to the upper-limb section of a paries-lateralis-orbitae side -- two or more concurrent wiring to which it adhered continuously by migrating even to the upper surface of the aforementioned portion with the internal stage -- these wiring of two or more -- the inside of a conductor -- at least one -- grounding wiring -- as a conductor -- the aforementioned shield -- the lead loess package with a shield constituted as connected [conductor]

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] this invention relates to the lead loess package for mounting the semiconductor chip (bare chip) to which nakedness or the minimum surface-protection processing (passivation) was performed.

[0002]

[Description of the Prior Art] The plastic package and the ceramic package are used recently most widely among the real wearing packages of a semiconductor chip, and many the plastics lead loess chip carriers (PLCC:Plastic Leadless Chip Carrier) and ceramic chip carriers as an object for surface mounting (surface mounting) are used especially. Drawing 5 is the perspective diagram of PLCC showing one of them. (A) Drawing is the quadrilateral flat package (Quard Flat Package) which carried the semiconductor chip in the leadframe and was cast by the transfer mold method, 51 is a plastic package and 52 is a terminal. (B) Drawing is the package which formed plastics 54 by the drip coat method by the dispenser, after carrying a semiconductor chip in a printed circuit board 53, and the terminal electrode 55 by the semicircle through hole is formed in the periphery section.

[0003] these semiconductor ICs by which the plastics mould was carried out -- the upper and lower sides -- surface mounting is carried out to a circuit wiring substrate in the state as it is

[0004]

[Problem(s) to be Solved by the Invention] However, when using for a small radio device the semiconductor IC mounted in such a conventional package, for plastics (synthetic resin), such as epoxy, a logic noise etc. carries out an electromagnetic coupling and protection of a semiconductor causes the malfunction of a circuit. the upper shell metal case of an above-mentioned package in order to prevent such a malfunction -- covering -- electromagnetism -- the shield is prepared therefore, the attachment space of the shielding case and grounding -- a conductor -- wiring is needed and there is a problem not only component-mounting density falls, but that part anchoring height becomes high and work cost starts Moreover, since the upper surface is the surface tension of a resin, in the case of drawing 5 (B), it is difficult to make flatness, and it does not suit air adsorption conveyance at the time of carrying out surface mounting by the automaton. Therefore, in order that an operator may perform loading to a substrate by the handicraft one by one, time is taken and it has been the obstacle of a cost cut.

[0005] without it makes for this invention to solve such a trouble into a technical problem and reduces packaging density -- electromagnetism -- it shields and the cheap lead loess package with a shield of cost is offered

[0006]

[Means for Solving the Problem] The lead loess package with a shield of this invention On the front face of the package main part cast in the shape of a concave with the internal stage in order that a longitudinal-section configuration might hold a semiconductor bare chip by the enclosed type of closed-end **** by insulating molding materials, such as plastics or a ceramic the electromagnetism to which it adhered continuously among the front faces of the outside of this package main part to near the upper-limb section of the whole surface at the bottom and

the side -- the shield for a shield -- with a conductor A conductor is arranged. pass the aforementioned top face and an internal surface from the upper-limb section of the lateral surface in at least one side of the circumference top face of the up effective area of the aforementioned package main part -- two or more wiring to which it adhered continuously to the upper surface of the aforementioned portion with the internal stage -- these wiring of two or more -- the inside of a conductor -- at least one -- grounding wiring -- as a conductor -- the aforementioned shield -- it is characterized by being constituted so that it may connect [conductor]

[0007]

[Example] Drawing 1 is the perspective diagram showing one example of this invention, and drawing 2 is the drawing of longitudinal section. In drawing, 1 is the package main part fabricated by plastics, and the cross-section configuration is making the concave with the internal stage by the enclosed type of closed-end ****. the wiring by which it adhered to 2 with electroless plating etc. -- the shield which is a conductor and by which 3 was galvanized similarly -- it is a conductor Since the package main part 1 has a plating required portion (conductor portion) and an unnecessary portion, it is formed with two-shot injection molding of the plastics called liquid crystal polymer (Liquid Crystalline Polymer:LCP). the plating for grounding to the inner pars basilaris ossis occipitalis for holding a semiconductor bare chip in the example of drawing -- a conductor -- 3b is prepared and it is shown in the right-hand side of drawing 2 -- as -- wiring -- a conductor -- 2e -- an outside shield -- it connects with the conductor 3 the object for grounding of an inner pars basilaris ossis occipitalis -- a conductor -- 3b may not have the need depending on the semiconductor bare chip to hold the wiring for circuit connection -- a conductor -- 2a is continuously prepared from the upper-limb section of the side of the package main part 1 to a top face, a medial surface, and the joggle upper surface, as shown in the left-hand side of drawing 2 And a joggle upper surface portion serves as a terminal electrode for connecting by the circuit terminal electrode and wirebonding of the semiconductor bare chip to hold. the shield of the lateral surface -- a conductor 3 -- wiring -- a conductor -- it is prepared so that it may have 2a and few gaps 4, and the shielding effect is heightened wiring -- the number of conductors 2 corresponded to the number of terminal electrodes of the semiconductor bare chip held, and was formed each 21 sides in the example of a trial production These conductors are carried out by electroless plating etc.

[0008] As shown in drawing 4 mentioned later, after the package of this invention constituted as mentioned above mounts a semiconductor bare chip in the interior, it makes the upper and lower sides reverse, and surface mounting is carried out to the circuit board 9 in the state of a face down. wiring -- a conductor -- 2a has started to the outside upper-limit section for ensuring wiring connection and its check in case [above-mentioned] face down surface mounting is carried out

[0009] Drawing 3 is drawing of longitudinal section showing the state where the semiconductor bare chip was held in the package of this invention. In drawing, 1, 2a, 2e, and 3 are the same as the sign of drawing 1 and drawing 2 . 5 shows a semiconductor bare chip and 6 shows thin lines, such as gold of wirebonding, or aluminum. 7 and 8 are the mould resins for protecting the semiconductor bare chip 5 and a thin line 6. Drawing 3 (A) and (B) show the difference in the mould method of these mould resins 7 and 8. (A) is a mould by the drip coat method, and its costs are cheap although a surface result is not flat. On the other hand, (B) is a mould by the transfermold method, and although the result upper surface becomes flat, the metal mold for it is required for it. the time of these mould resin 7 or 8 being formed so that it may not rise above the upper surface of the package main part 1, and carrying out face down surface mounting of the whole -- wiring on top -- it is constituted so that a conductor 2 may contact the circuit board enough It is [of having made the cross-section configuration of the package main part 1 into the concave with the internal stage / two] reasonable. By making the height of an internal joggle almost equal to the height of the semiconductor bare chip 5, it is because there is an advantage that the length of a thin line 6 becomes short while a wirebonding side turns into the same field mostly and bonding becomes easy to do one of them. In case the mould of another is carried out by the drip coat method, it is for preventing that the drip coat agent (mould resin) 7

flows around.

[0010] Although the example of the above this invention explained the example which used the plastic-molding article as a package main part 1, even if it uses ceramic mold goods, it cannot be overemphasized that there is same effect.

[0011] Drawing 4 is the perspective diagram showing the state where face down surface mounting of the semiconductor IC 10 mounted in the package of this invention was carried out to the circuit board 9. the clamp face by the side of the circuit board 9 -- complete grounding -- if a conductor is prepared -- electromagnetism -- a shield cannot still completely be overemphasized as a bird clapper However, the printed wiring and other mounting chips of the circuit board 9 omitted illustration.

[0012]

[Effect of the Invention] carrying out this invention, as explained to the detail above -- electromagnetism -- since the shielded semiconductor IC can be offered, while a metal shield board becomes unnecessary and raising packaging density, a very large effect is in curtailment of part mark, and reduction of work cost Furthermore, since it is the composition which can do face down surface mounting, using the drip coat method, a flat base turns into a part adsorption side, it becomes possible to carry out automatic conveyance machine mounting, and a large effect is in cost reduction.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the perspective diagram showing one example of this invention.

[Drawing 2] It is the cross section showing one example of this invention.

[Drawing 3] It is the cross section showing one example of this invention.

[Drawing 4] It is the perspective diagram showing the application of this invention.

[Drawing 5] It is the perspective diagram showing the conventional example of structure.

[Description of Notations]

- 1 Package Main Part
- 2 Wiring -- Conductor
- 3 Shield -- Conductor
- 4 Gap
- 5 Semiconductor Bare Chip
- 6 Thin Line
- 7 Eight Mould resin
- 9 Circuit Board
- 10 Semiconductor IC
- 51 Plastic Package
- 52 Terminal
- 53 Printed Circuit Board
- 54 Plastics

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

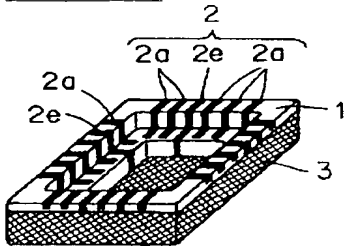
1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

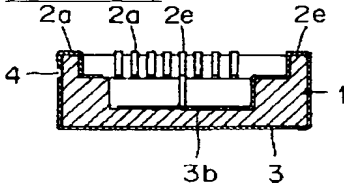
3.In the drawings, any words are not translated.

DRAWINGS

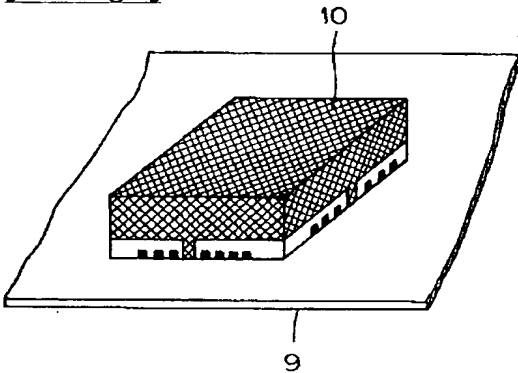
[Drawing 1]



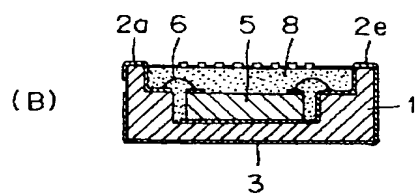
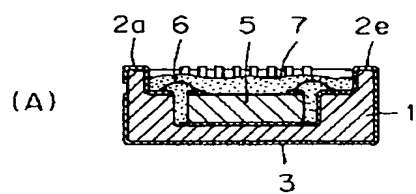
[Drawing 2]



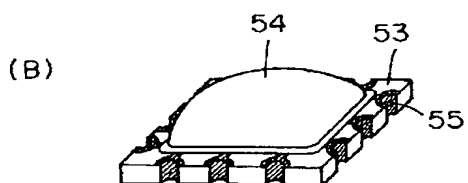
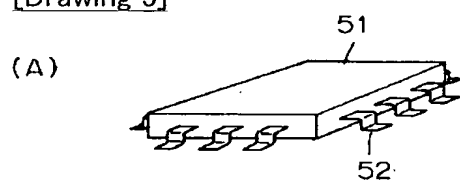
[Drawing 4]



[Drawing 3]



[Drawing 5]



[Translation done.]